

SCA17630

09/990,995



#2 13/5/3/0
RECEIVED

MAR 14 2002



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 08 月 29 日
Application Date

申請案號：090121268
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

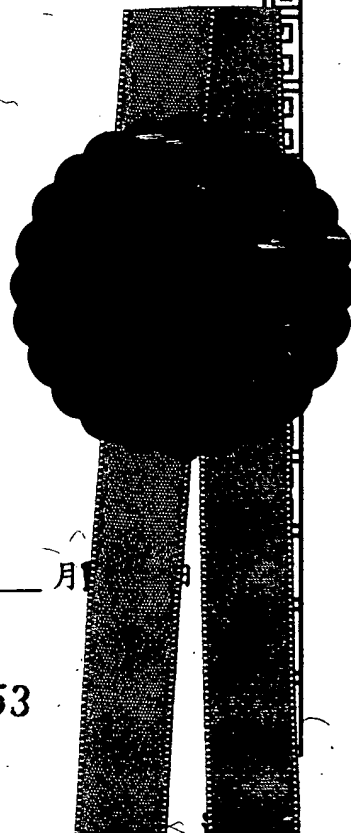
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2001 年 12 月
Issue Date

發文字號：09011019253
Serial No.



申請日期	
案 號	9014268
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 新型名稱	中 文	具改善偵測 IDE 匯流排排線形式之裝置
	英 文	
二、發明 創作人	姓 名	鍾健平
	國 籍	中華民國
	住、居所	台北縣新莊市豐年街 100 巷 37 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要 (發明之名稱： 具改善偵測 IDE 匯流排排線形式之裝置)

本發明係揭露一種具改善偵測 IDE 匯流排排線形式之裝置，其主要係指一種連接於一偵測器與一 IDE 匯流排線間之門鎖器，其具有一觸發端及一輸出端，其觸發端耦接至 IDE 匯流排線之一訊號接腳，輸出端則耦接至偵測器之訊號偵測端，於系統重置時，門鎖器之輸出端便重置為一低電位，而當門鎖器之觸發端上的訊號發生變化時，則門鎖器之輸出端即輸出一高電位；再者，當門鎖器之輸出端輸出至偵測器之訊號偵測端為低電位時，偵測器判斷 IDE 匯流排線為一 80 針接腳排線，當門鎖器之輸出端輸出至偵測器之訊號偵測端為高電位時，則判斷 IDE 匯流排線為一 40 針接腳排線。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：)

五、發明說明(/)

發明領域

本發明是有關於一種具改善偵測 IDE 匯流排排線形式之裝置，尤指一種於判斷 IDE 設備(ATA/ATAPI)連接排線形式時，可穩定偵測訊號之裝置。

發明背景

按，在 IDE 設備規格(ATA/ATAPI)中有定義著兩種不同連接排線之形式，分別為 40 針接腳形式之排線與 80 針接腳形式之排線。在以 IDE 為介面的設備中，如果想以較高速的方式來傳輸（如 UDMA66 或 UDMA100，此為傳輸速率協定之名稱）就必須使用信號傳遞效果較佳之 80 針接腳形式之排線以期獲得較穩定之運作，基於這一點，多數系統廠商提供連接排線的偵測機制，以利於開機程式的判別及設定運作的參數於晶片組或 IDE 控制晶片上。

舉例來說，若以 40 針接腳形式排線連接於 UDMA66 的 IDE 設備時，雖然設備提供 UDMA66 之傳遞能力，但受限於排線傳遞信號特性之限制，必須將 IDE 設備之運作限制在較低的傳遞速率 UDMA33，以達成較佳的傳遞穩定度，請參閱表一，為各形式排線與設備能力之運作關係，如表所示當設備能力越佳，因傳遞穩定度的考量，致使排線型態導致傳遞運作能力的差距也就越大，因此有必要對排線偵測機制做較完整的檢討。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (✓)

設備能力 排線型態	UDMA33	UDMA66	UDMA100
40 針接腳之排線	UDMA33	UDMA33	UDMA33
80 針接腳之排線	UDMA33	UDMA66	UDMA100

表一

首先，就排線之形式來做討論，80 與 40 針接腳形式之排線之不同點，除了在於排線的匯流排上多了 40 條線，其連接埠也多了 40 針接腳，而多的 40 隻腳接地，為用以改善長距離信號傳遞品質的措施；再者，在 IDE 規格中定義之信號，其中排線形式判別訊號 (PDIAG-: CBLID-)，是兩種排線型態不同的地方；故系統廠商多以此信號作為分辨排線型態的依據。

請參閱第 1A 圖及第 1B 圖，分別為利用 40 針及 80 針 IDE 匯流排線連接週邊裝置之方塊示意圖；如第 1A 圖所示，40 針接腳形式之 IDE 匯流排線中之 PDIAG-:CBLID-訊號係串接裝置 1(12)與裝置 2(14)，再接至 HOST 端通用輸出入埠 (General Purpose Input/Output, GPIO) 控制器 10 之 GPI 訊號偵測端，該控制器 10 係取樣裝置 1 及 2 傳送過來之 PDIAG-(Passed Diagnostics) 訊號，該訊號係以一邏輯高電位顯示；再如第 1B 圖所示，80 針接腳形式之 IDE 匯流排線中之 PDIAG-:CBLID-訊號亦串接裝置 1(12)與裝置 2(14)，再接至 HOST 端通用輸出入埠控制器 10 之訊號偵測端，該控制器 10 係取樣裝置 1 及 2 傳送過來之 CBLID-(Cable Assembly Type Identifier) 訊號，該訊號係以一邏輯低電位顯示，通常

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (3)

係為接地之形式；因此只要判斷該通用輸出入埠控制器 10 之 GPI 訊號偵測端為邏輯高電位或低電位，即可判斷該連接 IDE 匯流排線為 40 針或 80 針之排線形式。

在目前系統廠商的偵測機制來說，是直接將排線形式判別訊號以輸入埠直接輸入至晶片組或通用輸出入埠 控制器供系統 (CPU) 讀取；即當系統讀到 0 (Ground) 時則代表目前連接為 80 針接腳形式之排線，否則就是 40 針接腳形式之排線。根據這個結果就可以作為設定運作模式的基礎。

但是在 IDE 規格中有提及，在不符合或是較早規格的設備上，排線形式判別訊號在邏輯高準位時並不一定會維持在高準位，甚至在一些舊型的 IDE 設備就會在系統重置 (Reset) 過後就將排線形式判別訊號設為 0，此特性會造成當系統讀取輸入埠時造成誤判，進而造成系統設定錯誤。

請參閱第 2 圖，為習用於偵測 IDE 匯流排排線形式時顯示系統取樣點之時序示意圖；如圖所示，訊號 PD 為表示匯流排線上之邏輯準位，訊號 GPI 則表示通用輸出入控制器訊號偵測端上之邏輯準位，故當系統重置 (Reset) 後，80 針匯流排線上在時間取樣點 20 取樣時並無任何變化，然 40 針匯流排線上在時間取樣點 22 取樣時會產生不確定之變化，以至於無法判斷該時間取樣點 22 上之邏輯準位是高準位或低準位；此時，即會可能造成系統對連接匯流排的型式之誤判。

發明目的及概述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

有鑑於此，本發明之主要目的係提供一種具改善偵測 IDE 匯流排排線形式之裝置，該裝置係提供一門鎖器，用以穩定排線形式判別訊號應有的準位，以使系統在判斷連接之匯流排線形式時，能有效地做出正確的判斷。

根據本發明的目的，提出一種具改善偵測 IDE 匯流排排線形式之裝置，其主要係包含有一通用輸出入埠(GPIO)控制器，用以偵測該 IDE 匯流排排線形式，具複數個訊號偵測端；至少一個 D 型正反器，具有一觸發端、一清除端、一輸出端及一資料輸入端，其該觸發端耦接至該 IDE 匯流排線之一訊號接腳，該輸出端則耦接至該通用輸出入埠控制器之訊號偵測端，而該清除端耦接至一系統可重置端，該資料輸入端則耦接至一高電位；該清除端係可於系統重置時觸發，以使該 D 型正反器之輸出端重置為一低電位，而當該 D 型正反器之該觸發端上的訊號發生變化時，則該 D 型正反器之該輸出端便輸出一高電位；其中該 D 型正反器之該輸出端輸出至該通用輸出入埠控制器之訊號偵測端為低電位時，該通用輸出入埠控制器判斷該 IDE 匯流排線為一 80 針接腳排線，而當該 D 型正反器之該輸出端輸出至該偵測器之訊號偵測端為高電位時，則判斷該 IDE 匯流排線為一 40 針接腳排線。

綜合上述，本發明藉由一門鎖器將通用輸出入埠控制器以及設備連接排線連接，利用當門鎖器之觸發端上之訊號有所變化時，該門鎖器之該輸出端輸出一高電位之特性，將排線形式判別訊號維持在一應有的準位，以使系統

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

能正確的判斷出排線形式，以利於系統以較快且較穩定的方式做信號的傳輸。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖示之簡單說明：

第 1A 圖繪示的是為利用 40 針 IDE 匯流排線連接週邊裝置之方塊示意圖；

第 1B 圖繪示的是為利用 80 針 IDE 匯流排線連接週邊裝置之方塊示意圖；

第 2 圖繪示的是習用於偵測 IDE 匯流排排線形式時顯示系統取樣點之時序示意圖；

第 3 圖繪示的是本發明較佳實施例之具改善偵測 IDE 匯流排排線形式之裝置與通用輸出入埠控制器連接 電路示意圖；及

第 4 圖繪示的是本發明較佳實施例之用於偵測 IDE 匯流排排線形式時顯示系統取樣點之時序示意圖。圖式標號說明

10：通用輸出入埠控制器

12：裝置 1

14：裝置 2

20：時間取樣點

22：時間取樣點

30：通用輸出入埠控制器

31：第一 D 型正反器

33：第二 D 型正反器

40：時間取樣點

42：時間取樣點

五、發明說明(6)

具體實施例詳細說明

本發明之概念係藉由一門鎖器將通用輸出入埠控制器以及設備連接排線做連接，利用當門鎖器之觸發端上之訊號有所變化時，該門鎖器之該輸出端輸出一高準位之特性，將排線形式判別訊號維持在一應有的準位，此用法可確實的將線路上的高準位變化保留住，使得系統在判斷排線型別時不至於因 IDE 設備(ATA/ATAPI)的運作而受影響。

首先請參閱第 3 圖，本發明較佳實施例之具改善偵測 IDE 匯流排排線形式之裝置與通用輸出入控制器連接電路示意圖；如圖所示，主匯流排線通道 PD(Primary IDE Channel)與次匯流排線通道 SD(Secondary IDE Channel)係分別經第一 D 型正反器 31 與第二 D 型正反器 33，連接至通用輸出入埠控制器 30 之訊號偵測端 GPI1 及 GPI4，為用以偵測該主次匯流排線通道上之排線形式，其中該第一 D 型正反器 31 及第二 D 型正反器 33 皆係作為門鎖器使用，以門鎖 (Latch) 住該主次匯流排線通道上之邏輯準位，不使其因系統重置後產生無法判定之準位。

排線形式判別訊號(PDIAG-:CBLID-)係經由主次匯流排線通道 連接至兩 D 型正反器 31 及 33 之觸發端 (CLK)，利用 D 型正反器之由觸發端啟動資料端 (D) 之特性，將門鎖排線形式判別訊號之高準位 訊號變化鎖在一高準位，即將資料輸入端 (D) 之高準位鎖在 D 型正反器輸出端 (Q)，並將其結果 PT 及 ST 訊號經由輸出端 (Q) 輸出至通用輸出入埠 控制器 30 之 GPI1 及 GPI4 訊號偵測端，作為系統判斷

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

排線形式的依據。由於 D 型正反器的資料輸入端 (D)，接的是一個高電位的參考電壓 VCC，而觸發端 (CLK) 是一個正緣觸發端，也就是當觸發端 (CLK) 經由一高準位 (1) 觸發，輸出端 (Q) 受資料輸入端 (D) 接高電位參考電壓 VCC 的影響，使得輸出端 (Q) 在受觸發後，輸出端 (Q) 會一直保持在高準位 (1)。

因此，當 40 針接腳形式之排線形式判別訊號，通過 D 型正反器後，便會維持在高電位的狀況下，直到系統重置 (Reset)，即清除端 (CL) 受系統重置 (Reset) 而使輸出端 (Q) 清除為 0。

再者，此時當系統重置 (Reset) 時，尚可避免影響通用輸出入埠控制器 30 做排線形式的判斷，因為當系統重置 (Reset) 後的第一筆資料經由排線通過時，主次匯流排線通道 PD 及 SD 上的排線形式判別訊號依然會正緣觸發 D 型正反器之觸發端 (CLK)，使得排線形式判別訊號在輸出端 (Q) 維持在高準位 (1)。

而當在偵測 80 針接腳形式之排線形式判別訊號時，由於其排線形式判別訊號之接腳是接地的，所以 D 型正反器是不會被觸發的，因此排線形式判別訊號永遠都是處於低準位 (0) 的情況。

最後請參閱第 4 圖，本發明較佳實施例之用於偵測 IDE 匯流排排線形式時顯示系統取樣點之時序示意圖；如圖所示，訊號 PD 為表示匯流排線上之邏輯準位，訊號 GPI 則表示通用輸出入控制器訊號偵測端上之邏輯準位，故當系統

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

重置(Reset)後，80 針匯流排線上在時間取樣點 40 取樣時亦無任何變化，而當 40 針匯流排線上在時間取樣點 42 取樣時，由於 D 型正反器係將排線形式判別訊號的高準位變化保留住，便可使得系統在判斷排線型別時不至於因 IDE 設備(ATA/ATAPI)的運作而受影響。。

綜合上述，現將本發明的優點略述如下，本發明藉由具有可將排線形式判別訊號維持在一應有之準位之閘鎖器，以使得系統在做排線形式判斷的時候，可以做出正確的決定。如此，系統不會因為排線形式的誤判，而導致資料讀取的錯誤，甚至當機。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種可改善偵測 IDE 匯流排排線形式之裝置，其主要係包括：

一通用輸出入埠(GPIO)控制器，用以偵測該 IDE 匯流排排線形式，具至少一訊號偵測端；及

至少一 D 型正反器，具有一觸發端、一清除端、一輸出端及一資料輸入端，其該觸發端耦接至該 IDE 匯流排線之一訊號接腳，該輸出端耦則接至該通用輸出入埠控制器之訊號偵測端，而該清除端耦接至一系統可重置端，該資料輸入端則耦接至一高電位；

該清除端係可於系統重置時觸發，以使該 D 型正反器之輸出端重置為一低電位，而當該 D 型正反器之該觸發端上的訊號發生變化時，則該 D 型正反器之該輸出端便輸出一高電位；

其中該 D 型正反器之該輸出端輸出至該通用輸出入埠控制器之訊號偵測端為低電位時，該通用輸出入埠控制器判斷該 IDE 匯流排線為一 80 針接腳排線，而當該 D 型正反器之該輸出端輸出至該偵測器之訊號偵測端為高電位時，則判斷該 IDE 匯流排線為一 40 針接腳排線。

2.一種門鎖器，其主要係連接於一偵測器與一 IDE 匯流排線間，該門鎖器具有一觸發端、一清除端及一輸出端，其該觸發端耦接至該 IDE 匯流排線之一訊號接腳，該輸出端耦則接至該偵測器之訊號偵測端；

該清除端係可於系統重置時觸發，以使該門鎖器之輸出端重置為一低電位，而當該門鎖器之該觸發端上的訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

發生變化時，則該門鎖器之該輸出端便輸出一高電位；

其中該門鎖器之該輸出端輸出至該偵測器之訊號偵測端為低電位時，該偵測器判斷該IDE匯流排線為一80針接腳排線，而當該門鎖器之該輸出端輸出至該偵測器之訊號偵測端為高電位時，則判斷該IDE匯流排線為一40針接腳排線。

3.如申請專利範圍第2項所述之門鎖器，其中該門鎖器係為一D型正反器，具一清除端及一資料輸入端，該清除端係耦接至一系統可重置端，而該資料輸入端則耦接至一高電位。

4.如申請專利範圍第2項所述之裝置，其中該偵測器係為一通用輸出入埠(GPIO)控制器者。

5.如申請專利範圍第2項所述之裝置，其中該偵測器係為一整合驅動電子界面(IDE)控制器者。

6.一種可改善偵測IDE匯流排排線形式之裝置，連接於一偵測器與一IDE匯流排線間，其主要係包括：

至少一門鎖器，該門鎖器具有一觸發端以及一輸出端，其中該觸發端耦接至該IDE匯流排線之一形式判別訊號接腳，該輸出端耦則接至該偵測器之訊號偵測端。

7.如申請專利範圍第6項所述之裝置，其中該門鎖器係為一D型正反器，具一清除端及一資料輸入端，該清除端係耦接至一系統重置訊號，而該資料輸入端則耦接至一高電位。

8.如申請專利範圍第6項所述之裝置，其中該偵測器係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

為一通用輸出入埠(GPIO)控制器者。

9.如申請專利範圍第6項所述之裝置，其中該偵測器係為一整合驅動電子界面(IDE)控制器者。

10.如申請專利範圍第6項所述之裝置，其中該IDE匯流排係可為80針接腳及40針接腳其中之一者。

11.如申請專利範圍第10項所述之裝置，其中該閘鎖器之該輸出端輸出至該偵測器之訊號偵測端為低電位時，該偵測器判斷該IDE匯流排線為一80針接腳排線。

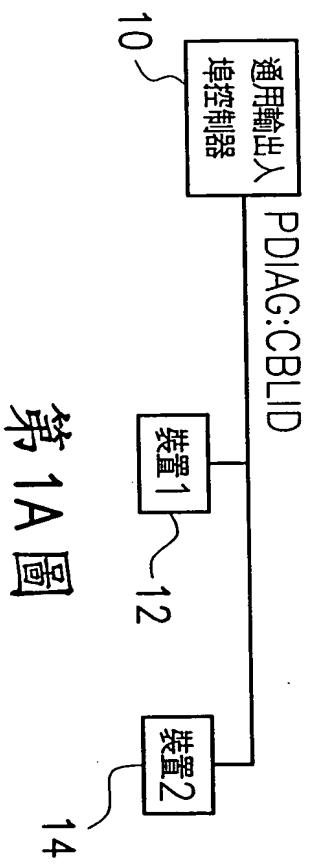
12.如申請專利範圍第10項所述之裝置，其中該閘鎖器之該輸出端輸出至該偵測器之訊號偵測端為高電位時，則該偵測器判斷該IDE匯流排線為一40針接腳排線。

13.如申請專利範圍第6項所述之裝置，其中該閘鎖器尚包括有一清除端，該清除端係可於系統重置時觸發，以使該閘鎖器之輸出端重置為一低電位。

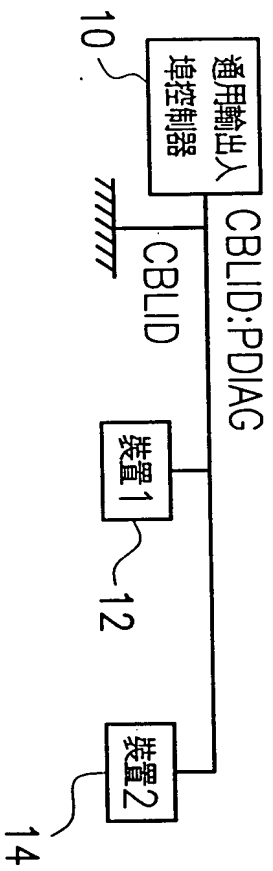
14.如申請專利範圍第13項所述之裝置，其中該閘鎖器之該觸發端上的訊號發生變化時，則該閘鎖器之該輸出端便輸出一高電位。

(請先閱讀背面之注意事項再填寫本頁)

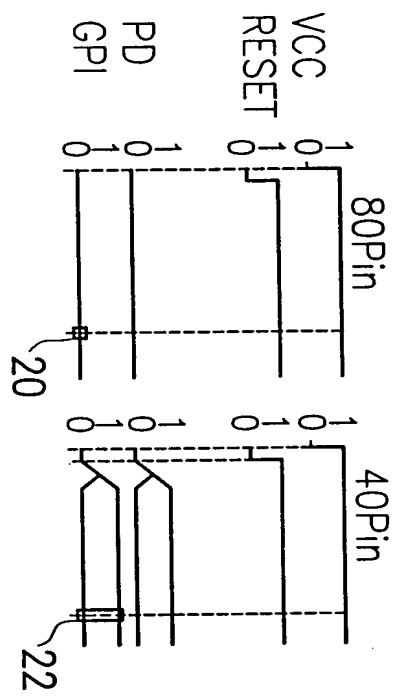
裝
訂
線



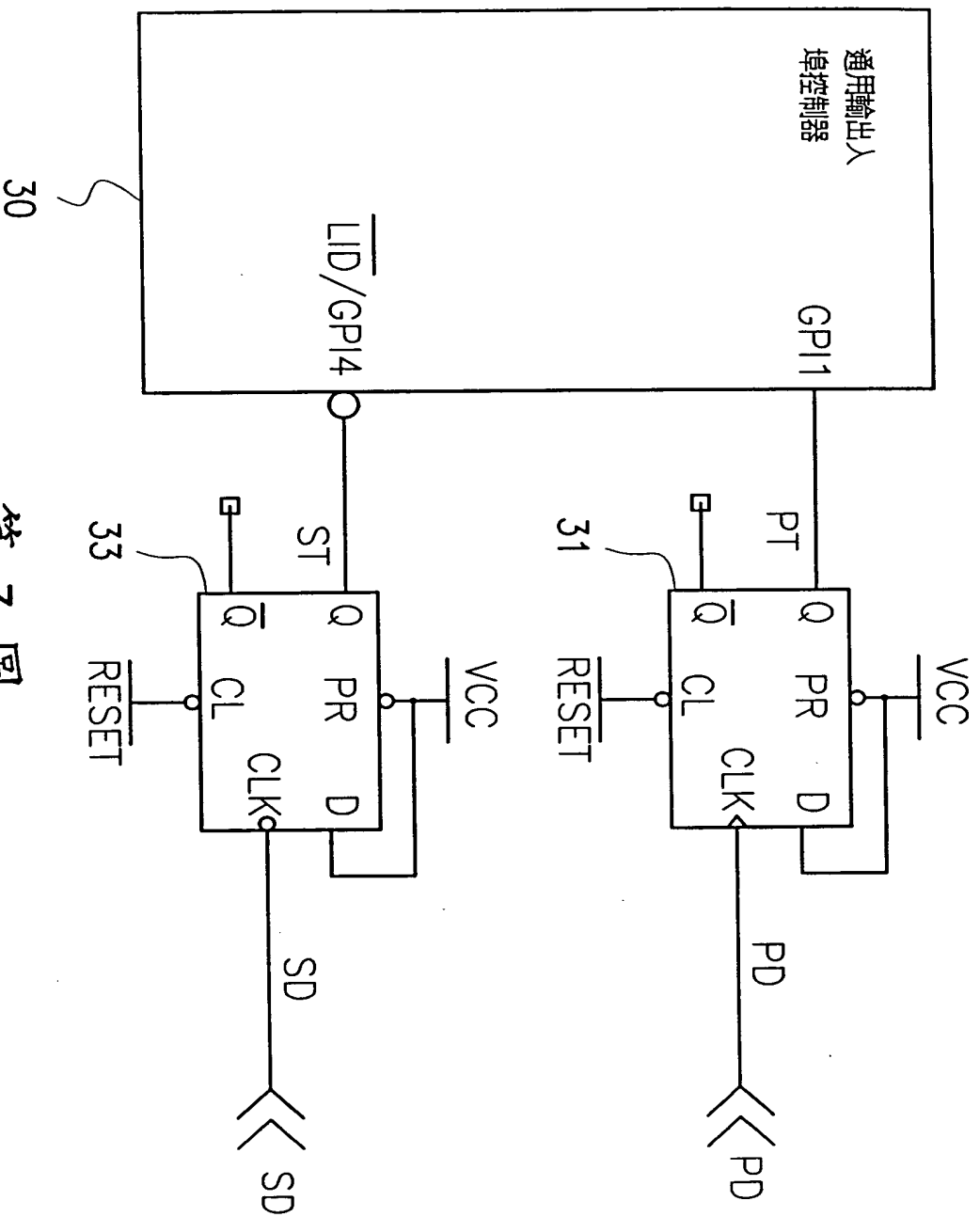
第1A圖



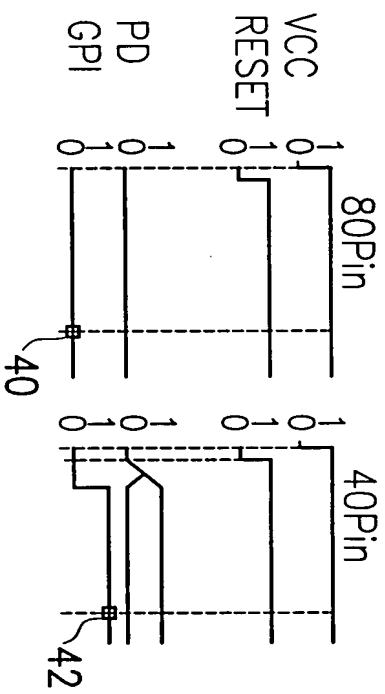
第1B圖



第 2 圖



第 3 圖



第 4 圖